

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application )

Applicant: Shinkawa et al. )

Serial No. )

Filed: November 6, 2001 )

For: DATA PROCESSING DEVICE, )  
SIGNAL PROCESSING )  
DEVICE, AND INTERFACE )  
DEVICE )

Art Unit: )

*I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on November 6, 2001*

*Express Label No.: EL846222147US*Signature: *David Owen*EXPRESS.WCM  
Appr. February 20, 1998

Jc921 U.S. PTO

09/993729



11/06/01

CLAIM FOR PRIORITYAssistant Commissioner for Patents  
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2001-059283, filed March 2, 2001.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS &amp; CRAIN, LTD.

By

Patrick G. Burns

November 6, 2001  
300 South Wacker Drive  
Suite 2500  
Chicago, IL 60606  
(312) 360-0080  
Customer Number: 24978

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: March 2, 2001

Application Number: Japanese Patent Application  
No. 2001-059283

Applicant(s) FUJITSU LIMITED

June 14, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3056027

0941.65470  
(312) 360-0080

JC921 U.S. PTO  
09/993729  
11/06/01

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 2日

出 願 番 号

Application Number:

特願2001-059283

出 願 人

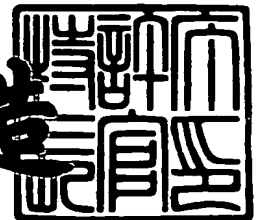
Applicant(s):

富士通株式会社

2001年 6月14日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3056027

【書類名】 特許願  
【整理番号】 0052527  
【提出日】 平成13年 3月 2日  
【あて先】 特許庁長官 及川 耕造 殿  
【国際特許分類】 H01L 21/66  
【発明の名称】 情報処理装置及び信号処理装置並びにインタフェース装置  
【請求項の数】 5  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
【氏名】 新川 隆行  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
【氏名】 泉谷 靖徳  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
【氏名】 河本 正和  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階  
【弁理士】  
【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び信号処理装置並びにインタフェース装置

【特許請求の範囲】

【請求項 1】 プログラムに基づいてデータを処理する情報処理装置において、

前記プログラム又は前記データを記憶する複数の記憶部と、

前記複数の記憶部の各記憶部を前記プログラムを実行するための領域、又は、前記データのバッファ領域のいずれかとなるように切り換える制御部とを有する情報処理装置。

【請求項 2】 入力端子に供給される入力信号に応じた出力信号を出力端子から出力する内部ロジック回路を有する信号処理回路において、

前記内部ロジック回路内から選択すべき信号を識別する識別コードを記憶する記憶部と、

前記記憶部に記憶された識別コードに応じて前記内部ロジック回路から信号を選択する選択部と、

前記選択部で選択された信号を順次出力する出力部とを有することを特徴とする信号処理回路。

【請求項 3】 複数のチャンネルで共有データを入出力するインタフェース装置において、

前記チャンネル毎に設けられた複数のバッファメモリと、

前記複数のバッファメモリでデータの同一性を保証しつつ、データの入出力を行なう制御部を有することを特徴とするインタフェース装置。

【請求項 4】 前記制御部は、一つのチャンネルのバッファメモリのデータが更新されたときに、他のチャンネルのバッファメモリへのアクセスを抑止することを特徴とする請求項 3 記載のインタフェース装置。

【請求項 5】 前記制御部は、他の処理の空時間に前記バッファメモリのデータが更新されたチャンネルのデータを他のチャンネルのバッファメモリにコピーすることを特徴とする請求項 3 又は 4 記載のインタフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置及び信号処理装置並びにインタフェース装置に係り、特に、メモリを介して情報の入出力を行なう情報処理装置及び途中の信号の状態を選択的に出力できる信号処理装置並びに複数のチャネルで共有データを入出力するインタフェース装置に関する。

【0002】

【従来の技術】

図1にハードディスクドライブのブロック構成図を示す。

【0003】

ハードディスクドライブ1は、エンクロージャ2及び回路基板3とを含む構成とされている。エンクロージャ2には、ディスク11、スピンドルモータ12、磁気ヘッド13、アクチュエータ14、ヘッドIC15を有する構成とされている。ディスク11は、スピンドルモータ12により回転される。ディスク11には、磁気ヘッド13が対向して配置される。磁気ヘッド13は、アクチュエータ14によりディスク11の半径方向に移動可能とされており、記録情報に応じてディスク11を磁化する。また、磁気ヘッド13は、ディスク11の磁化状態に応じた信号を検出する。

【0004】

スピンドルモータ12は、回路基板3からの回転制御信号により回転される。アクチュエータ14は、回路基板3からの位置制御信号により制御され、磁気ヘッド13をディスク11に対して位置決めする。磁気ヘッド13は、ヘッドIC15からの記録信号によりディスク11を磁化するとともに、ディスク11の磁化に応じた再生信号をヘッドIC15に供給する。ヘッドIC15は、回路基板3からの記録信号を増幅して、磁気ヘッド13に供給するとともに、磁気ヘッド13からの再生信号を増幅して回路基板3に供給する。

【0005】

回路基板3は、リードチャネル21、ハードディスクコントローラ22、バッファメモリ23、サーボコントローラ24、ROM25を含む構成とされている。

。リードチャネル 21 は、ハードディスクコントローラ 22 からの記録データに基づいて記録信号を生成するとともに、磁気ヘッド 13 からの再生信号に基づいて再生データを復元する。また、リードチャネル 21 は、再生信号からサーボ用信号を抽出し、サーボコントローラ 24 に供給する。

## 【0006】

サーボコントローラ 24 は、リードチャネル 21 からのサーボ用信号に基づいてスピンドルモータ 12 の回転を制御するとともに、VCM 14 の駆動制御を行なう。

## 【0007】

ROM 25 には、プロセッサ 34 で実行されるプログラムであるファームウェアが予め格納されており、電源投入時などにハードディスクコントローラ 22 の内部のメモリに展開される。

## 【0008】

図 2 に従来 of ハードディスクコントローラの一例のブロック構成図を示す。

## 【0009】

ハードディスクコントローラ 22 は、インタフェース 31、バッファマネージャ 32、フォーマッタ 33、プロセッサ 34、プログラムメモリ 35 を含む構成とされている。

## 【0010】

ホストコンピュータ 41 からの記録データは、インタフェース 31 でインタフェースがとられた後、バッファマネージャ 32 によりバッファメモリ 23 に一旦記憶される。バッファマネージャ 32 は、プロセッサ 34 からの命令に基づいてバッファメモリ 23 に記憶された記録データを読み出し、ディスクフォーマッタ 33 に供給する。ディスクフォーマッタ 33 は、プロセッサ 34 からの命令に基づいてバッファマネージャ 32 により読み出された記録データを所定のフォーマットにフォーマッティングしてリードチャネル 21 に供給する。

## 【0011】

また、リードチャネル 21 からの再生データは、ディスクフォーマッタ 33 に供給され、元のフォーマットに復元された後、バッファマネージャ 32 によりバ



ッファメモリ23に記憶される。バッファマネージャ32は、プロセッサ34からの命令に基づいてバッファメモリ23から再生データを読み出し、インタフェース31を介してホストコンピュータ41に再生データを供給する。

【0012】

このとき、プロセッサ34は、プログラムメモリ35にROM25から展開されたファームウェアに基づいて命令を実行する。このように、従来のハードディスクコントローラ22では、プロセッサ34で実行されるファームウェアをプログラムメモリ35に展開して用いるとともに、記録／再生データを一時的に記憶するためのバッファメモリ23を外付けする必要があった。

【0013】

このとき、ハードディスクコントローラ22に内蔵されるファームウェアは、主に、高機能のものと低機能のものとに区分される。高機能のファームウェアは、低機能のファームウェアに比べて処理ステップや使用するパラメータの数が多く、ハードディスクドライブを高機能に制御可能であった。また、低機能のファームウェアは、高機能のファームウェアに比べて処理ステップや使用するパラメータの数が少なく、安価に実現できる。

【0014】

一方、ハードディスクコントローラ22は、プログラムメモリ35を含めて1チップ化されている。一般にメモリを多機能のLSIに内蔵するとメモリの占有面積が大きくなり、チップ面積が大きくなるので、小型化の障害となったり、あるいは、歩留まりが低下する。このため、メモリの容量を必要最小限にする必要があった。

【0015】

このため、従来は高機能のファームウェアを搭載するハードディスクコントローラと低機能のファームウェアを搭載するハードウェアとで内蔵するメモリの容量を異ならせて、メモリの容量を必要最小限とし、チップ面積の大型化を防止していた。

【0016】

次に、従来のハードディスクコントローラを構成するLSIのテスト方法につ

てい説明する。

【0017】

図3に従来のLSIの一例のブロック構成図を示す。

【0018】

従来のLSI50は、内部ロジック回路51及びマルチプレクサ52を含む構成とされている。内部ロジック回路51は、入力端子Tin1～Tinnから入力される入力信号に対して所定の処理を施し、出力端子Tout1～Toutmから出力する。

【0019】

内部ロジック回路51は複数のブロックから構成されており、複数のブロックの入出力信号は、マルチプレクサ52に供給されている。マルチプレクサ52には、テスト選択端子Ts1～Tspからpビットの選択パターンが供給される。

【0020】

マルチプレクサ52は、テスト選択端子Ts1～Tspに供給される選択パターンに基づいて内部ロジック回路51から供給される入出力信号のうち一つの信号を選択し、テスト出力端子Ttoutに出力する。

【0021】

従来のテスト時の具体的動作について説明する。

【0022】

図4に従来のLSIのテスト時の動作を説明するための図を示す。図4（A）はクロック、図4（B）、（C）は信号出力、図4（D）は選択パターン、図4（E）はテスト出力を示す。

【0023】

図4（A）に示す内部クロックに応じて内部ロジック回路51の各部から信号が出力される。時刻t1でテスト選択端子Ts1～Tspに所定の信号、例えば、図4（B）に示される第3の信号を選択するための選択パターンが入力されると、内部クロックが次に立ち上がる時刻t2で図4（E）に示すようにテスト出力端子Ttoutから図4（B）に示される第3の信号が出力される。

【0024】

時刻t3で図4（D）に示されるテスト選択端子Ts1～Tspに図4（C）に示

される第5の信号を選択するための選択パターンが供給されると、図4（E）に示されるようにテスト出力端子T<sub>tout</sub>からは図4（C）に示される第5の信号が出力される。

## 【0025】

以上のようにテスト選択端子T<sub>s1</sub>～T<sub>sp</sub>に供給される選択パターンにより選択された信号がテスト出力端子T<sub>tout</sub>から出力される。

## 【0026】

次に、従来のインタフェース装置のデータの入出力方法について説明する。

## 【0027】

図5に従来のインタフェース装置の一例のブロック構成図を示す。

## 【0028】

従来のインタフェース装置60は、インタフェース回路61、62、バッファメモリ63、バッファコントローラ64、ハードディスクコントローラ65から構成される。インタフェース回路61は、コンピュータAとのインタフェースをとり、インタフェース回路62は、コンピュータBとのインタフェースをとる。

## 【0029】

インタフェース回路61、62から入力されたデータは、バッファコントローラ64によりバッファメモリ63に記憶される。バッファコントローラ64は、バッファメモリ63からハードディスク11に記録すべきデータを読み出し、ハードディスクコントローラ65を介して磁気ヘッド13に供給し、ハードディスク11に記録する。

## 【0030】

また、ハードディスク11から磁気ヘッド13により再生された再生信号は、ハードディスクコントローラ65によりデータに復号化されて、バッファコントローラ64を介してバッファメモリ63に記憶される。バッファコントローラ64は、バッファメモリ63に記憶されたデータをインタフェース回路61又は62に供給する。

## 【0031】

このとき、バッファメモリ63は、インタフェース回路61とインタフェース

回路 6 2 とで共用されていたため、同時に動作できるインタフェースは、バッファメモリ 6 3 の転送能力によって制限されていた。例えば、バッファメモリ 6 3 の転送能力が 3 5 0 MB / s であり、インタフェース回路 6 1 又は 6 2 の転送能力が 2 0 0 MB / s であった場合には、バッファメモリ 6 3 の転送能力では、データの読み書きが効率よく行なえないので、インタフェース回路 6 1 又は 6 2 のうちいずれか一方のインタフェース回路のみがデータ転送を行ない、他方のインタフェース回路は動作の完了を待つように制御されていた。

## 【 0 0 3 2 】

コンピュータ A 又は B からのコマンドは、インタフェース回路 6 1, 6 2 にコマンドキューとして保持される。

## 【 0 0 3 3 】

コマンドは、着順に保持された後、実行までの磁気ヘッド 1 3 の移動が最小となる順序に並べ替えられる。いわゆる、リオーダリングが行なわれる。このとき、リオーダリングでは、同一セクタに対するライト後に実行されるべきリードがライトより先に実行されると、更新前のデータを読み出しまうので、リードとライトコマンドの順序は変更しないようにしている。

## 【 0 0 3 4 】

リードコマンドでは、ハードディスク 1 1 から磁気ヘッド 1 3 により読み出されたデータはバッファメモリ 6 3 に一時保持され、バッファメモリ 6 3 からコンピュータ A 又は B に転送される。

## 【 0 0 3 5 】

引き続き同じセクタのリードが行なわれることが期待されるときにはバッファメモリ 6 3 上のデータをしばらく保持して次のリード時には、ハードディスク 1 1 からデータを読み出すことなく、バッファメモリ 6 3 からホストコンピュータ A 又は B に転送する。このように、ハードディスク 1 1 からデータを読み出すことなく、バッファメモリ 6 3 からコンピュータ A 又は B に転送することにより、リードコマンドの実行時間を大幅に短縮できる。この動作をキャッシュ処理と呼ぶ、このとき、バッファメモリ 6 3 はキャッシュメモリと呼ばれる。

## 【 0 0 3 6 】

キャッシュ処理では、バッファメモリ 63 に記憶されたデータがハードディスク 11 のどの位置のデータであるかを判定するためのテーブルである、キャッシュテーブルが用意されていた。

【0037】

図 6 に従来のインタフェース装置の一例の処理フローチャートを示す。

【0038】

ステップ S1-1 でコマンドを受領すると、ステップ S1-2 で受領したコマンドが有効か否かを判定して、ステップ S1-3 で有効なコマンドをコマンドキューとして保持する。なお、ステップ S1-1 でコマンドが受領されないときには、他の処理が実行される。また、ステップ S1-2 でコマンドが無効なときには、リジェクト処理が実行される。

【0039】

従来のインタフェース装置では、データライト時、コンピュータ A 又は B からのデータは、一旦メモリバッファ 63 に記憶される。バッファメモリ 63 にデータが記憶されると、ライトコマンドが完了したことをコンピュータ A 又は B に通知し、その後、磁気ヘッド 13 の空時間にハードディスク 11 への書き込みを行なう。この方法をライトバックと呼ぶ。

【0040】

ライトバック時にもコンピュータ A 又は B へ通知するために、バッファメモリ 63 に記憶されたデータがハードディスク 11 のどの位置にライトされるかを記録するテーブルである、ライトバックテーブルが用意されていた。

【0041】

上記キャッシュテーブルとライトバックテーブルは、バッファメモリ 63 とハードディスク 11 の位置情報を関係付けるものであり、動作内容やデータに有効・無効を示すフラグを設けることにより共通したテーブルとして用いられている。

【0042】

ライトバックを行なう前には、リードコマンドが当該セクタに対して発行されると、リードコマンドの実行を待たせて、ライトバックを先に行い、しかる後、

ハードディスク 11 からリードする。

【0043】

【発明が解決しようとする課題】

しかるに、従来の図2に示されるようなハードディスクドライブに搭載されるメモリ内蔵型のハードディスクコントローラでは、高機能のファームウェアを搭載するものと、低機能のファームウェアを搭載するものとで、別々にチップを開発、設計していたため、コストが上昇するなどの問題点があった。

【0044】

また、従来の図3、図4に示されるようなLSIのテスト方法は、テスト出力端子T<sub>tout</sub>から出力される信号を選択するためにテスト選択端子T<sub>s1</sub>～T<sub>sp</sub>に供給する選択パターンは、テスト出力する信号の数に応じたパターン必要であるので、テスト選択端子T<sub>s1</sub>～T<sub>sp</sub>の数が多くなり、LSIの小型化を妨げていた。

【0045】

さらに、従来の図5に示されるインタフェース装置ではバッファメモリの転送能力には限界があり、データを効率よく入出力することができなかった。

【0046】

本発明は上記の点に鑑みてなされたもので、第1の目的は高機能の処理を行なう回路と低機能の処理を行なう回路とで回路を共用できる情報処理装置を提供することである。

【0047】

第2の目的は端子数を低減できる信号処理回路を提供することである。

【0048】

第3の目的はデータの入出力を効率よく行なえるインタフェース装置を提供することを目的とする。

【0049】

【課題を解決するための手段】

本発明の請求項1は、プログラムの規模が大きいときには、複数の記憶部をプログラムを実行するための領域として用いて、プログラムの規模が小さいときには、複数の記憶部の一部をプログラムを実行するための領域として用い、他の記

憶部をバッファ領域として用いる。

【0050】

請求項1によれば、規模の大きいプログラムを搭載するときには、複数の記憶部のすべてをプログラムを実行するための領域とでき、プログラムの規模が小さいときには、複数の記憶部の一部をプログラムを実行するための領域として用い、他の記憶部をデータバッファ領域として用いることができるので、プログラムの規模によらず、チップを統一することができる。

【0051】

本発明の請求項2は、内部ロジック回路内から選択すべき信号を識別する識別コードに応じて内部ロジック回路から信号を選択し、選択された信号を順次出力する。

【0052】

請求項2によれば、識別コードを予め記憶しておくことにより少ない端子数で内部ロジック回路から信号を選択的に出力できる。

【0053】

本発明の請求項3は、チャンネル毎にバッファメモリを設け、複数のチャンネルのバッファメモリでデータの同一性を保証しつつ、データの入出力を行なう。

【0054】

請求項3によれば、バッファメモリから直接複数のチャンネルで供給されたデータを読み出すことができるので、データを効率よく入出力できる。

【0055】

【発明の実施の形態】

図7に本発明の第1実施例のブロック構成図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明は省略する。

【0056】

本実施例のハードディスクコントローラ100は、インタフェース31、バッファマネージャ32、ディスクフォーマッタ33、プロセッサ34、プログラムメモリ35に加えて、共用メモリ101、マルチプレクサ102、設定回路103を有する構成とされている。

## 【 0 0 5 7 】

このとき、プログラムメモリ 3 5 は、ハードディスクコントローラ 1 0 0 に低機能ファームウェアを搭載する場合に、最適な容量、すなわち、低機能ファームウェアのプログラムを格納できる容量に設定されている。このため、ハードディスクコントローラ 1 0 0 に高機能ファームウェアのプログラムを搭載する場合には、プログラムメモリ 3 5 だけでは容量が不足する。そこで、高機能ファームウェアを搭載する場合には、プログラムメモリ 3 5 に格納しきれなかった分のプログラムを共用メモリ 1 0 1 に格納する。すなわち、共用メモリ 1 0 1 をプログラムメモリとして用いる。

## 【 0 0 5 8 】

また、ハードディスクコントローラ 1 0 0 に低機能ファームウェアを搭載する場合には、低機能ファームウェアはプログラムメモリ 3 5 に格納され、共用メモリ 1 0 1 は用いられない。このため、共用メモリ 1 0 1 を外付けのバッファメモリ 2 3 に代えてバッファメモリとして用い、外付けのバッファメモリ 2 3 を削除する。

## 【 0 0 5 9 】

共用メモリ 1 0 1 をプログラムメモリとして用いるか、バッファメモリとして用いるかは、マルチプレクサ 1 0 2 及び設定回路 1 0 3 によって外部からの指示に基づいて切り換え可能とされている。

## 【 0 0 6 0 】

図 8 に本発明の第 1 実施例の共用メモリの切り換え動作を説明するための図を示す。

## 【 0 0 6 1 】

設定回路 1 0 3 は、例えば、レジスタから構成されており、切換端子 T s の電圧に応じて論理値「1」又は「0」が設定される。例えば、切換端子 T s に + 5 [V] が印加されると、論理値「1」が設定され、切換端子 T s が接地レベルにされると、論理値「0」が設定される。

## 【 0 0 6 2 】

設定回路 1 0 3 に論理値「1」が設定されると、マルチプレクサ 1 0 2 は共有



メモリ 1 0 1 をバス側からアクセス可能とする。論理回路 1 0 3 に論理値「0」が設定されると、マルチプレクサ 1 0 2 は共有メモリ 1 0 1 をバッファマネージャ 3 2 からアクセス可能とする。

#### 【0063】

以上のようにハードディスクコントローラ 1 0 0 を高機能ファームウェアで動作させたい場合には、切換端子 T s に + 5 [V] を印加し、設定回路 1 0 3 に論理値「1」を設定することにより、電源投入時に ROM 2 5 に予め記憶された高機能ファームウェアプログラムがプログラムメモリ 3 5 及び共用メモリ 1 0 1 に分散して格納され、高機能ファームウェアが実行可能となる。このとき、外付けでバッファメモリ 2 3 を設け、記録／再生データを一時的に記憶するようにする。

#### 【0064】

また、ハードディスクコントローラ 1 0 0 を低機能ファームウェアで動作させたい場合には、切換端子 T s に 0 [V] を印加し、設定回路 1 0 3 に論理値「0」を設定することにより、電源投入時に ROM 2 5 に予め記憶された低機能ファームウェアプログラムがプログラムメモリ 3 5 に格納され、低機能ファームウェアが実行可能となる。このとき、共用メモリ 1 0 1 は、バッファマネージャ 3 2 からアクセス可能となり、バッファメモリとして機能する。このため、外付けのバッファメモリ 2 3 が不要となり、データ転送の高速化、消費電力の低電力化、低価格化が可能となる。

#### 【0065】

本実施例のハードディスクコントローラ 1 0 0 は、高機能ファームウェア及び低機能ファームウェアの両方に共通で用いることができる。よって、ハードディスクコントローラ 1 0 0 の低コスト化を図ることができ、ハードディスク装置のコストダウンを図ることができる。

#### 【0066】

次に、第 2 の目的を解決する実施例について説明する。

#### 【0067】

図 9 に本発明の第 2 実施例のブロック構成図を示す。同図中、図 4 と同一構成

部分には同一符号を付し、その説明は省略する。

【0068】

本実施例の信号処理回路300は、テストレジスタ301、デコーダ302、セクタ303、同期回路304、マルチプレクサ305、PLL回路306、レジスタ設定回路307を含む構成とされている。

【0069】

テストレジスタ301は、テストのオン／オフを決定するテストオン／オフ情報を格納するためのテストオン／オフ情報格納領域301a、信号を選択するためのアドレスを格納するためのアドレス領域301b-1～301b-n、PLL回路306の通倍数を設定する情報を格納するためのPLL通倍設定領域301cを含む構成とされている。テストオン／オフ情報格納領域301aに格納されるテストオン／オフ情報及びアドレス領域301b-1～301b-nに格納されるアドレスは、デコーダ302に供給され、PLL通倍設定領域301cに格納される。

【0070】

デコーダ302には、テストレジスタ301からテストオン／オフ情報及びテストする信号に応じたアドレスが供給される。デコーダ302は、テストオン／オフ情報がテストオン状態であるときに動作する。デコーダ302は動作すると、アドレス格納領域301b-1～301b-nに格納されたアドレスに基づいて選択信号を生成し、セクタ303に供給する。

【0071】

セクタ303は、デコーダ302からの選択信号に基づいて内部ロジック回路51のうち所定箇所の信号を選択して、同期回路304に供給する。同期回路304は、セクタ303により選択された信号をPLL回路306からのクロックに同期させる。PLL回路306は、内部ロジック回路51の基準クロックをテストレジスタ301のPLL通倍設定領域301cに設定されたPLL通倍値に基づいて通倍したクロックを生成し、同期回路304に供給している。

【0072】

同期回路304でPLL回路306からのクロックに同期されたセクタ30

3からの信号は、マルチプレクサ305に供給される。マルチプレクサ305には、同期回路304でセクタ303からの信号を同期させたクロックが供給されている。マルチプレクサ305は、同期回路304からのクロックに基づいて同期回路304からの信号を順次選択してテスト出力端子T<sub>tout</sub>に供給する。また、マルチプレクサ305に供給されたクロックは、ストローブ信号としてストローブ端子T<sub>str</sub>に供給される。

## 【0073】

ストローブ端子T<sub>str</sub>から出力されるストローブ信号に基づいてテスト出力端子T<sub>tout</sub>の出力信号が内部ロジック回路51のどの部分の信号かを識別可能となる。

## 【0074】

次にテスト時の動作を図面とともに説明する。

## 【0075】

図10に本発明の第2実施例のテスト時の動作を説明するための図を示す。図10(A)は内部基準クロック、図10(B)、(C)はテストすべき信号、図10(D)はPLL回路306からの出力クロック、図10(E)はテスト出力端子T<sub>tout</sub>からのテスト出力信号を示す。

## 【0076】

テストレジスタ301のアドレス領域301b-1~301b-nに格納されたアドレスに基づいて選択されたn個の信号が図10(A)に示される内部基準クロックの1周期の間でテスト出力端子T<sub>tout</sub>から順次出力される。このとき、図10(D)に示されるPLL回路306の出力クロックの時刻t<sub>1</sub>の立下りで図10(B)に示す信号が選択され、PLL回路306の出力クロックの時刻t<sub>2</sub>で図10(C)に示す信号が選択される。

## 【0077】

なお、PLL回路306の出力クロックは、図10(D)に示されるように図10(A)に示される内部基準クロックの1周期のn倍の周波数とされている。このため、PLL回路306の出力クロック、すなわち、ストローブ端子T<sub>str</sub>からの信号を出力することにより、テスト出力端子T<sub>tout</sub>から出力される信号の

切換タイミングを認識でき、テスト出力端子T<sub>tout</sub>からの出力信号を識別可能となる。

【0078】

次に、第3の目的を解決するための実施例について説明する。

【0079】

図11に本発明の第3実施例のブロック構成図を示す。同図中、図5と同一構成部分には同一符号を付し、その説明は省略する。

【0080】

本実施例の情報処理装置400は、インタフェース回路401、402、バッファメモリ403、404、ハードディスクコントローラ405、データ管理テーブル406、FIFO407、408を有する構成とされている。

【0081】

インタフェース回路401はコンピュータAとのインタフェースをとる。インタフェース回路402はコンピュータBとのインタフェースをとる。バッファメモリ403は、コンピュータAの入出力データを記憶する。バッファメモリ404は、コンピュータBの入出力データを記憶する。

【0082】

図12に本発明の第3実施例のデータ管理テーブルのデータ構成図を示す。

【0083】

データ管理テーブル406は、バッファメモリ403、404とハードディスク11とのデータの格納位置を対応付けるテーブルであり、ハードディスク11上のアドレスに対応して、コンピュータAのバッファメモリ403のアドレス及びコンピュータBのバッファメモリ404のアドレス並びに、更新済フラグ、アクセス抑止フラグが記憶可能とされている。

【0084】

更新済フラグは、ライトバックが行なわれたか否かを示すライトバックフラグ、ステージングされているか否かを示すステージングフラグがコンピュータA、B夫々に設定可能とされている。

【0085】

アクセス抑止フラグは、コピー中フラグ及び使用中フラグを含む構成とされている。コピー中フラグは、コピー中であるか否かを示すフラグであり、コンピュータBからコンピュータAからのコピー中か、コンピュータAからコンピュータBからのコピー中かで別々に設定可能とされている。使用中フラグは、リード又はライト中か否かを示すフラグで、コンピュータA、B夫々に設定可能とされている。

【0086】

図13に本発明の第3実施例の処理フローチャートを示す。

【0087】

本実施例では、まず、バッファメモリ403とバッファメモリ404との間でのデータのコピーは行なわないモード1を示す、これは、コンピュータAとコンピュータBとのキャッシュ処理を独立に制御し、一方で、キャッシュメモリ上にデータがあっても他方のチャンネルで同じデータにリードが要求されてもキャッシュミスとする方法である。

【0088】

まず、ライトコマンドを実行するときの動作について説明する。

【0089】

ライトコマンドを実行する場合、データ管理テーブル406を参照して、当該セクタが登録されているか否かを判定する。データ管理テーブル406に当該セクタが登録されている場合には、ステップS2-1でデータ管理テーブル406のアクセス抑止フラグの使用中フラグを参照して、他方のチャンネルの使用中フラグがオンしており、自己のチャンネルの抑止されているか否かを判定する。

【0090】

ステップS2-1で、自己のチャンネルが抑止されていない場合には、ステップS2-2でライトバックフラグがオンか否かを判定する。ステップS2-2でライトバックフラグがオンの場合には、ステップS2-3で処理モードがモード1かモード2かを判定する。

【0091】

ステップS2-3で処理モードがモード1の場合には、ステップS2-4で、

ライトバックデキュー処理を生成し、ライトバックキューにつなぐ。

【0092】

図14にキューにつながれた処理のデキューの処理フローチャートを示す。

【0093】

ライトバックデキュー処理では、まず、ステップS3-1で他方のチャンネルが使用中か否かを判定する。ステップS3-1で、他方のチャンネルが使用中のときには、自己のチャンネルの処理をアイドル状態とし、処理を終了する。

【0094】

また、他方のチャンネルが使用中でなければ、ステップS3-2で自己のチャンネルの使用フラグをセットし、シーク動作を開始する。シーク動作が完了すると、シーク完了処理が実行される。

【0095】

図15にシーク完了処理の処理フローチャートを示す。

【0096】

シーク完了処理では、まず、ステップS4-1で内部処理か否かを判定する。ステップS4-1でシーク動作が内部処理である場合には、ステップS4-2でライトバック処理を行なうか否かを判定する。

【0097】

ステップS4-2でライトバック処理を行なうのであれば、他の処理を実行する。ステップS4-2でライトバック処理を行なうのであれば、ステップS2-3で、ライトバック処理を行ない、他方のチャンネルのライトバックフラグ、自己の使用フラグをオフにする。

【0098】

次に、ステップS4-4で、モード2で動作させているか否かを判定し、モード1で動作している場合には、そのままアイドル状態とされ、モード2で動作している場合には、ステップS4-5で自己のライトバックフラグをオフした後、自己のチャンネルをアイドル状態とする。

【0099】

また、ステップS4-1で、内部処理でない場合には、ステップS4-6で処

理を要求したコンピュータAと結合する。次にステップS4-7でハードディスク11からのデータをバッファメモリ403、404経由で自己のチャンネルに転送するとともに、データ管理テーブル406に登録する。登録後、ステップS4-8で自己のチャンネルの使用フラグをオフした後、自己のチャンネルをアイドル状態とする。

【0100】

図13に戻って説明を続ける。

【0101】

ステップS2-2で自己のチャンネルのライトバックフラグがオフの場合には、次に、ステップS2-5で自己のチャンネルのコマンドがライトコマンドが否かが判定される。

【0102】

ステップS2-5で自己のチャンネルのコマンドがライトコマンドの場合には、ステップS2-6で自己のチャンネルの使用フラグ及びライトバックフラグをオンする。次にステップS2-7で自己のチャンネルの外部からのデータを自己のバッファメモリ403又は404に記憶する。次にステップS2-8で自己のチャンネルの使用フラグをオフした後、自己のチャンネルをアイドル状態とする。

【0103】

また、ステップS2-5でコマンドがライトコマンドでない場合には、ステップS2-9でバッファメモリ403又は404にデータが存在するか否か、すなわち、キャッシュヒットか否かを判定する。ステップS2-9でキャッシュヒットの場合には、ステップS2-10でキャッシュヒットが自己のチャンネルのバッファメモリ403又は404かを判定する。ステップS2-10で自己のチャンネルのバッファメモリ403又は404でキャッシュヒットした場合には、ステップS2-11で自己のチャンネルの使用フラグをオンし、バッファメモリ403又は404からデータをリードした後、自己の使用フラグをオフして、自己のチャンネルをアイドル状態とする。

【0104】

また、ステップS2-10で他方のチャンネルのバッファメモリ403又は40

4でキャッシュヒットした場合には、ステップS2-12で動作モードがモード1かモード2かを判定する。ステップS2-12で動作モードがモード1に設定されている場合には、ステップS2-13で自己のチャンネルの使用フラグをオンし、シーク動作を開始した後、アイドル状態とする。

【0105】

次に、モード2について説明を行なう。モード2は、バッファメモリ間でデータのコピーをすることにより、メモリ上のデータを等価にしてキャッシュ動作を行なうモードである。

【0106】

図16にモード2の処理フローチャートを示す。

【0107】

モード2では、まず、ステップS5-1で自己のチャンネルのコピーフラグ及び使用中フラグをオンする。次にステップS5-2でデータをFIFO407又は408にコピーした後に、自己のチャンネルのコピーフラグをオフする。次にステップS5-3で他方のチャンネルのステージングフラグをオフする。

【0108】

次に、ステップS5-4で自己のチャンネルのコマンドがライトコマンドか否かを判定する。ステップS5-4で自己のチャンネルのコマンドがライトコマンドである場合にはステップS5-5で自己の使用フラグをセットし、自己のライトバックフラグをリセットしてアイドル状態に戻り、リードコマンドである場合にはステップS2-12へ戻り、自己のチャンネルのバッファメモリ403又は404からデータを読み出すキャッシュリードを行なう。

【0109】

また、動作モードとしてモード2が設定されている場合には、別途スキャン処理が実行される。スキャン処理は、処理の空時間に実行される。

【0110】

図17にスキャン処理の処理フローチャートを示す。

【0111】

スキャン処理では、まず、ステップS6-1でいずれかのチャンネルのライトバ



ックフラグがオンか否かが判定される。ステップ S 6 - 1 でライトバックフラグがオンのときには、ステップ S 6 - 2 でフラグオンでない方のチャンネルが抑止状態か否かを判定する。ステップ S 6 - 2 で抑止状態でない場合には、次にステップ S 6 - 3 で自己のチャンネルのコピー中フラグをオンし、F I F O 4 0 7 又は 4 0 8 にデータを記憶し、データを F I F O 4 0 7 又は 4 0 8 に記憶した後、自己のチャンネルのコピー中フラグをオフする。

## 【 0 1 1 2 】

次にステップ S 6 - 4 で他方のチャンネルのステージングフラグをオフする。さらに、ステップ S 6 - 5 で自己のチャンネルのライトバックフラグをオンした後、自己のチャンネルをアイドル状態とする。

## 【 0 1 1 3 】

また、ステップ S 6 - 1 で自己のチャンネルのライトバックフラグがオフの場合、ステップ S 6 - 6 で自己のチャンネルのステージングフラグがオンか否かが判定される。ステップ S 6 - 6 で、自己のチャンネルのステージングフラグがオンの場合には、ステップ S 6 - 2 が実行され、ステップ S 6 - 6 で自己のチャンネルのステージングフラグがオフのときには、ステップ S 6 - 7 でスキャンポインタを進めた後、自己のチャンネルをアイドル状態とする。

## 【 0 1 1 4 】

図 1 8 に本発明の第 3 実施例の動作説明図を示す。

## 【 0 1 1 5 】

本実施例によれば、ステップ S 1 でコンピュータ A にライトコマンドによりバッファメモリ 4 0 3 にデータがライトされると、ステップ S 1 ' に示すようにライトバックフラグによりコンピュータ B のコマンドは抑止される。

## 【 0 1 1 6 】

ステップ S 2 でハードディスク 1 1 にコンピュータ A の更新データが反映されると、コンピュータ B 側のライトバックフラグはリセットされる。ライトバックフラグがリセットされると、次に、ステップ S 3 でリードコマンドによりハードディスク 1 1 からバッファメモリ 4 0 4 にデータが読み出され、バッファメモリ 4 0 4 からコンピュータ B にリードコマンドによりデータのリードが行なわれる

と、コンピュータBの使用フラグによりステップS4'に示されるようにコンピュータAのコマンドが抑止される。一方で処理中の媒体上の領域に対する他方のアクセスが抑止されることにより、同一領域への処理が重複することによるデータ破壊が防止できる。

【0117】

図19に本発明の第3実施例のモード2の動作説明図を示す。

【0118】

モード2では、バッファメモリ403のデータD2からデータD2'をコピーして、処理の空時間にFIFO408を介して更新されたデータD2'が転送され、バッファメモリ404の対応するデータD2がデータD2'に更新される。これによりバッファメモリ403、404の間で直接的にデータの転送が行なわれ、バッファメモリ403とバッファメモリ404とでデータの同一性を図ることができる。このとき、コンピュータBでデータD2へのアクセス要求があった場合には、FIFO408からバッファメモリ404にデータD2'がコピーされるまでアクセス要求を待機させ、バッファメモリ403とバッファメモリ404とでデータの同一性が図られた後、コンピュータBのデータD2へのアクセスが許可される。

【0119】

このように、異なるチャネルのバッファメモリでデータの同一性を図ることにより、バッファメモリ403、404から直接的にデータを読み出すことができ、複数のチャネルからのアクセスの高速化を図ることができる。

【0120】

なお、上記処理は、各チャネルで夫々実行されるので、同時にフラグをセットしようとする場合がある。これを防止するために、いずれか一方のチャネルの要求フラグのみがオンするように競合制御が行なわれている。また、要求フラグのオンが成功したか否かが各チャネルに通知されるようにしている。さらに、各チャネルからのアクセスは先着順に単一のコマンドキューにより制御している。

【0121】

また、本実施例では、説明を簡単にするために2チャネルの構成について説

明したが、2チャンネル以上の複数チャンネルの構成についても各チャンネルに対応してバッファメモリを設け、データの同一性を図ることにより、同様の作用効果を奏するものである。

【0122】

さらに、第1乃至第3実施例では、ハードディスクドライブについて説明したが、これに限定されるものではない。

【0123】

(付記1) プログラムに基づいてデータを処理する情報処理装置において

複数の記憶部と、

前記複数の記憶部のデータを前記プログラムを実行するための領域、又は、前記データのバッファ領域となるようにプログラム及びデータの流れを制御する制御部とを有する情報処理装置。

【0124】

(付記2) 前記制御部は、レジスタと、

該レジスタに格納された値に応じてデータの流れを制御する切換部とを有することを特徴とする付記1記載の情報処理装置。

【0125】

(付記3) 前記制御部は、前記プログラムの容量が大きいときには前記複数の記憶部のすべてに前記プログラムを記憶し、外付けの記憶装置をデータバッファ領域とし、

前記プログラムの容量が小さいときには前記複数の記憶部の一部にプログラムを記憶し、残りの記憶部を前記データのバッファ領域とするように制御することを特徴とする付記1又は2記載の情報処理装置。

【0126】

(付記4) 入力端子に供給される入力信号に応じた出力信号を出力端子から出力する内部ロジック回路を有する信号処理回路において、

前記内部ロジック回路内から選択すべき信号を識別する識別コードを記憶する記憶部と、

前記記憶部に記憶された識別コードに応じて前記内部ロジック回路から信号を選択する選択部と、

前記選択部で選択された信号を順次出力する出力部とを有することを特徴とする信号処理回路。

【 0 1 2 7 】

(付記 5) 前記入力端子から前記記憶部に前記識別コードを記憶させる設定部を有することを特徴とする付記 4 記載の信号処理回路。

【 0 1 2 8 】

(付記 6) 前記選択部は、前記記憶部に記憶された識別コードから一つのコードを生成するデコーダと、

前記内部ロジック回路から出力されるすべての信号が供給されており、前記内部ロジック回路から出力されるすべて信号のうち前記デコーダで生成されたコードに応じた信号を選択的に出力するセレクタとを有することを特徴とする付記 4 又は 5 記載の信号処理回路。

【 0 1 2 9 】

(付記 7) 前記出力部は、前記内部ロジック回路の基準クロックの前記出力すべき信号の数に応じた倍数した周波数の出力クロックを生成する出力クロック発生部と、

前記選択部で選択された信号が並列に供給されており、前記信号を前記出力クロック発生部で発生された出力クロックに基づいてシリアルに出力するマルチプレクサを有することを特徴とする付記 4 乃至 6 のいずれか一項記載の信号処理回路。

【 0 1 3 0 】

(付記 8) 前記出力部は、出力される信号に同期したストロブ信号を生成するストロブ信号生成部を有することを特徴とする付記 4 乃至 7 のいずれか一項記載の信号処理回路。

【 0 1 3 1 】

(付記 9) 複数のチャンネルで共有データを入出力するインタフェース装置において、

前記チャネル毎に設けられた複数のバッファメモリと、

前記複数のバッファメモリでデータの同一性を保証しつつ、データの入出力を行なう制御部を有することを特徴とするインタフェース装置。

【0132】

(付記10) 前記制御部は、前記複数のバッファメモリのデータの状態を管理するデータ管理テーブルを有することを特徴とする付記9記載のインタフェース装置。

【0133】

(付記11) 前記制御部は、一つのチャネルのバッファメモリのデータが更新されたときに、他のチャネルのバッファメモリへのアクセスを抑止することを特徴とする付記9又は10記載のインタフェース装置。

【0134】

(付記12) 前記制御部は、他の処理の空時間に前記バッファメモリのデータが更新されたチャネルのデータを他のチャネルのバッファメモリにコピーすることを特徴とする付記9乃至11のいずれか一項記載のインタフェース装置。

【0135】

(付記13) 前記制御部は、データを他のチャネルのバッファメモリにコピーするとき、前記他のチャネルのバッファメモリへのアクセスを抑止することを特徴とする付記12記載のインタフェース装置。

【0136】

【発明の効果】

上述の如く、本発明の請求項1によれば、規模の大きいプログラムを搭載するときには、複数の記憶部のすべてをプログラムを実行するための領域とでき、プログラムの規模が小さいときには、複数の記憶部の一部をプログラムを実行するための領域として用い、他の記憶部をデータバッファ領域として用いることができるので、プログラムの規模によらず、チップを統一することができる。

【0137】

本発明の請求項2は、内部ロジック回路内から選択すべき信号を識別する識別コードに応じて内部ロジック回路から信号を選択し、選択された信号を順次出力

することにより、識別コードを予め記憶しておくことにより少ない端子数で内部ロジック回路から信号を選択的に出力できる。

【 0 1 3 8 】

本発明の請求項 3 は、チャンネル毎にバッファメモリを設け、複数のチャンネルのバッファメモリでデータの同一性を保証しつつ、データの入出力を行なうことにより、バッファメモリから直接複数のチャンネルで供給されたデータを読み出すことができるので、データを効率よく入出力できる等の特長を有する。

【図面の簡単な説明】

【図 1】

ハードディスク装置のブロック構成図である。

【図 2】

従来のハードディスクコントローラの一例のブロック構成図である。

【図 3】

従来の L S I の一例のブロック構成図である。

【図 4】

従来の L S I のテスト時の動作を説明するための図である。

【図 5】

従来のインタフェース装置の一例のブロック構成図である。

【図 6】

従来のインタフェース装置の一例の処理フローチャートである。

【図 7】

本発明の第 1 実施例のブロック構成図である。

【図 8】

本発明の第 1 実施例の共用メモリの切り換え動作を説明するための図である。

【図 9】

本発明の第 2 実施例のブロック構成図である。

【図 1 0】

本発明の第 2 実施例のテスト時の動作を説明するための図である。

【図 1 1】

本発明の第 3 実施例のブロック構成図である。

【図 1 2】

本発明の第 3 実施例のデータ管理テーブルのデータ構成図である。

【図 1 3】

本発明の第 3 実施例の処理フローチャートである。

【図 1 4】

ライトバックデキュー処理の処理フローチャートである。

【図 1 5】

シーク完了処理の処理フローチャートである。

【図 1 6】

モード 2 の処理フローチャートである。

【図 1 7】

スキャン処理の処理フローチャートである。

【図 1 8】

本発明の第 3 実施例の動作説明図である。

【図 1 9】

本発明の第 3 実施例のモード 2 の動作説明図である。

【符号の説明】

3 1 インタフェース

3 2 バッファマネージャ

3 3 ディスクフォーマッタ

3 4 プロセッサ

3 5 プログラムメモリ

5 1 内部ロジック回路

1 0 0 ハードディスクコントローラ

1 0 1 共用メモリ

1 0 2 マルチプレクサ

1 0 3 設定回路

3 0 0 信号処理回路

- 3 0 1 テストレジスタ
- 3 0 2 デコーダ
- 3 0 3 セレクタ
- 3 0 4 同期回路
- 3 0 5 マルチプレクサ
- 3 0 6 P L L 回路
- 3 0 7 テストレジスタ設定回路
- 4 0 0 インタフェース装置
- 4 0 1、4 0 2 インタフェース回路
- 4 0 3、4 0 4 バッファメモリ
- 4 0 5 ハードディスクコントローラ
- 4 0 6 データ管理テーブル
- 4 0 7、4 0 8 F I F O

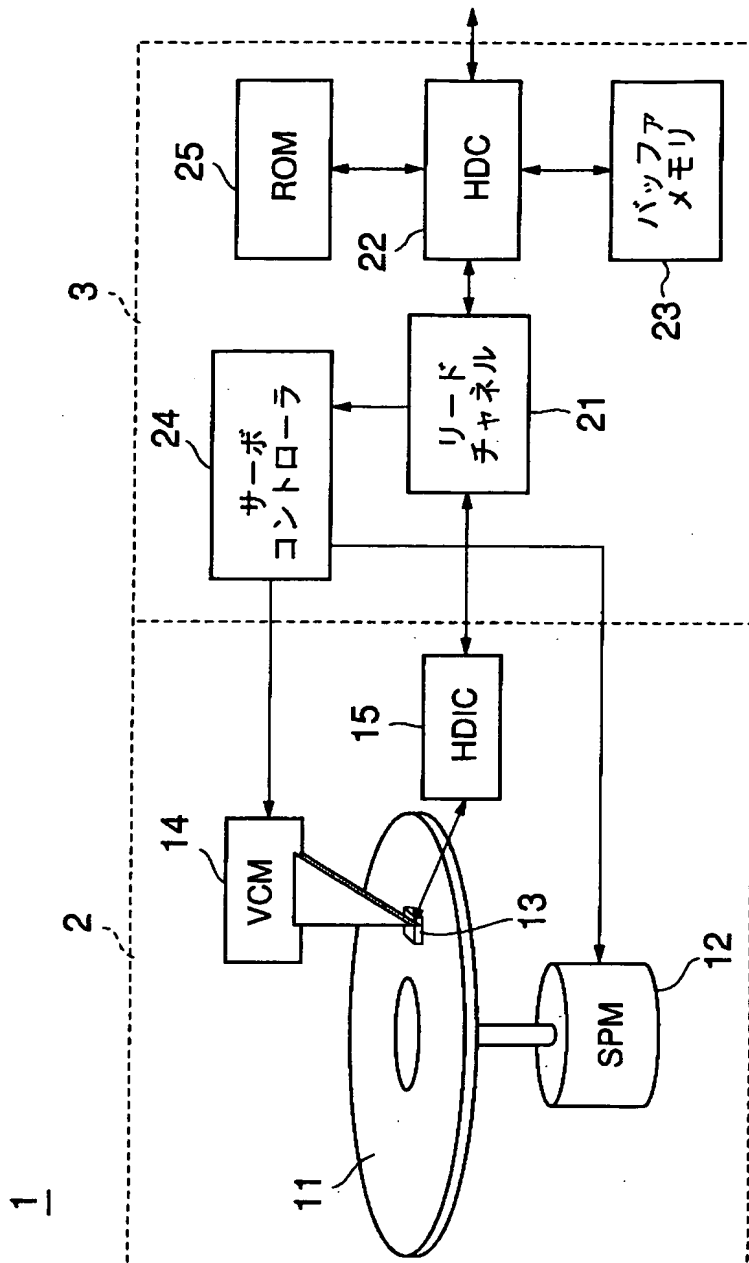


【書類名】

図面

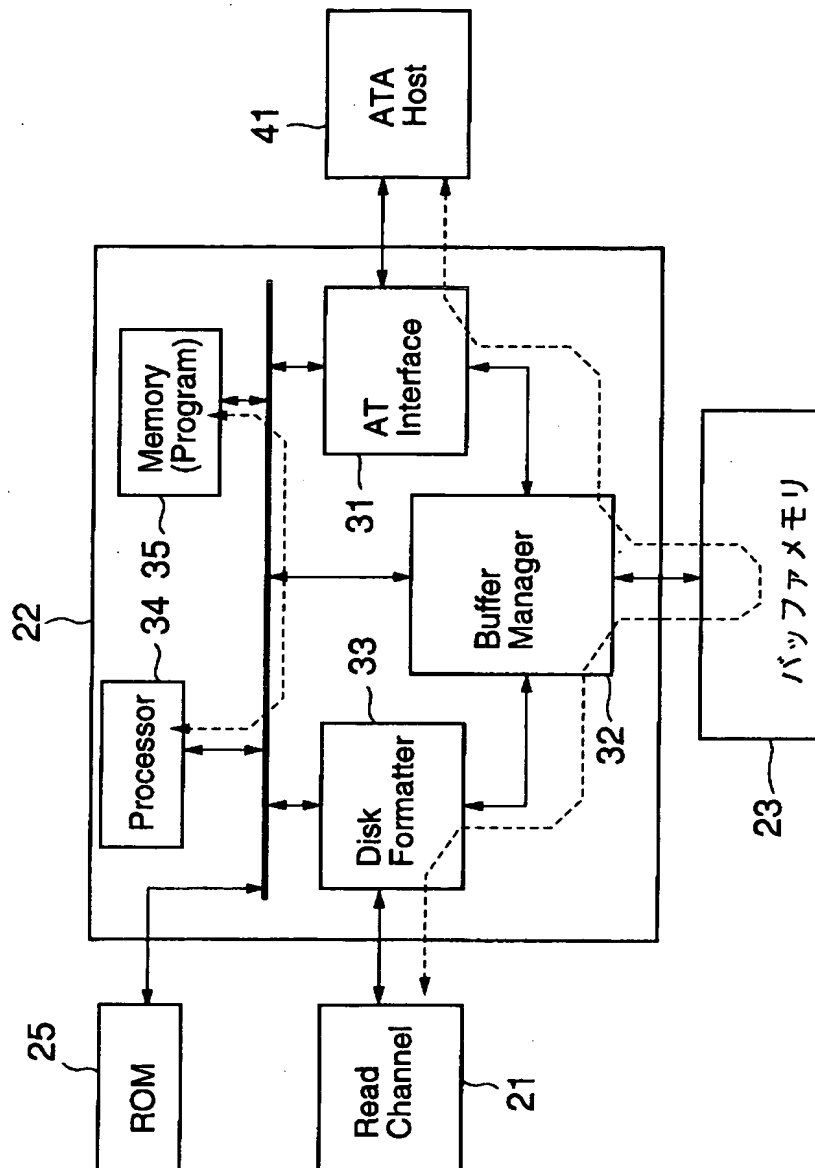
【図 1】

ハードディスク装置のブロック構成図



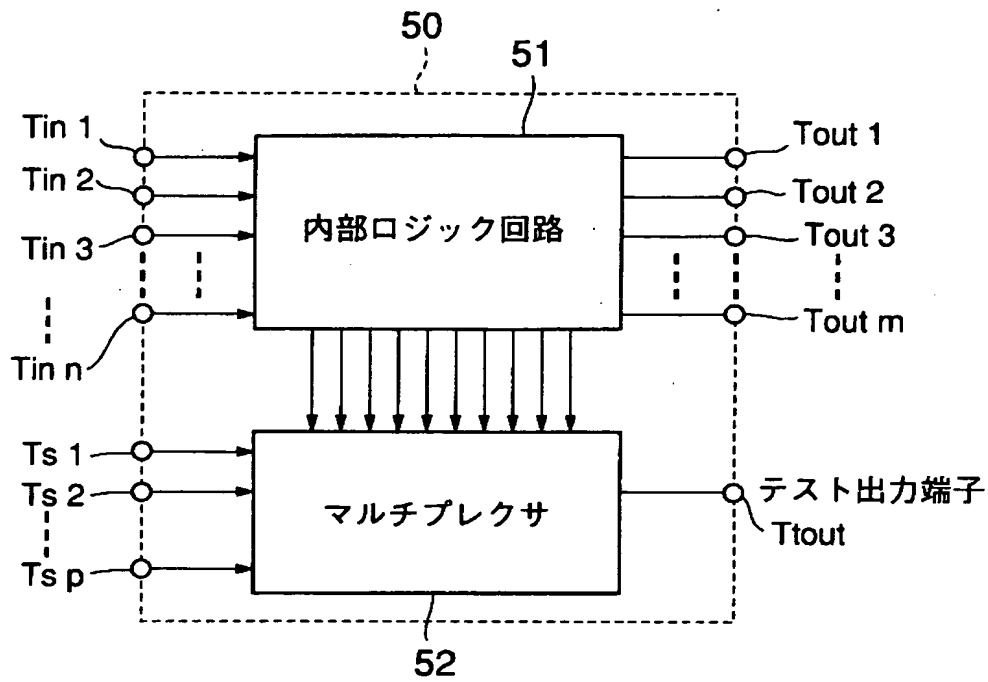
【図 2】

従来のハードディスクコントローラに一例のブロック構成図



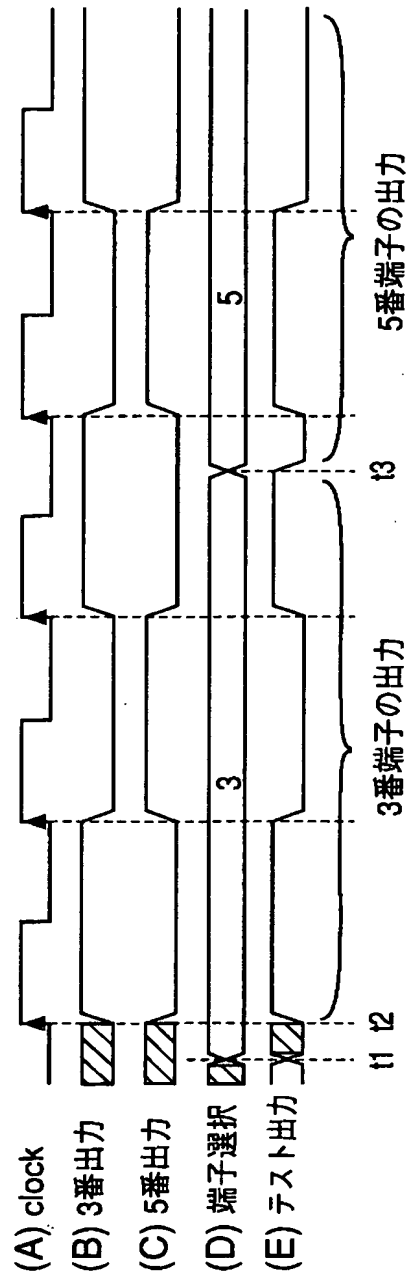
【図 3】

従来のLSIの一例のブロック構成図



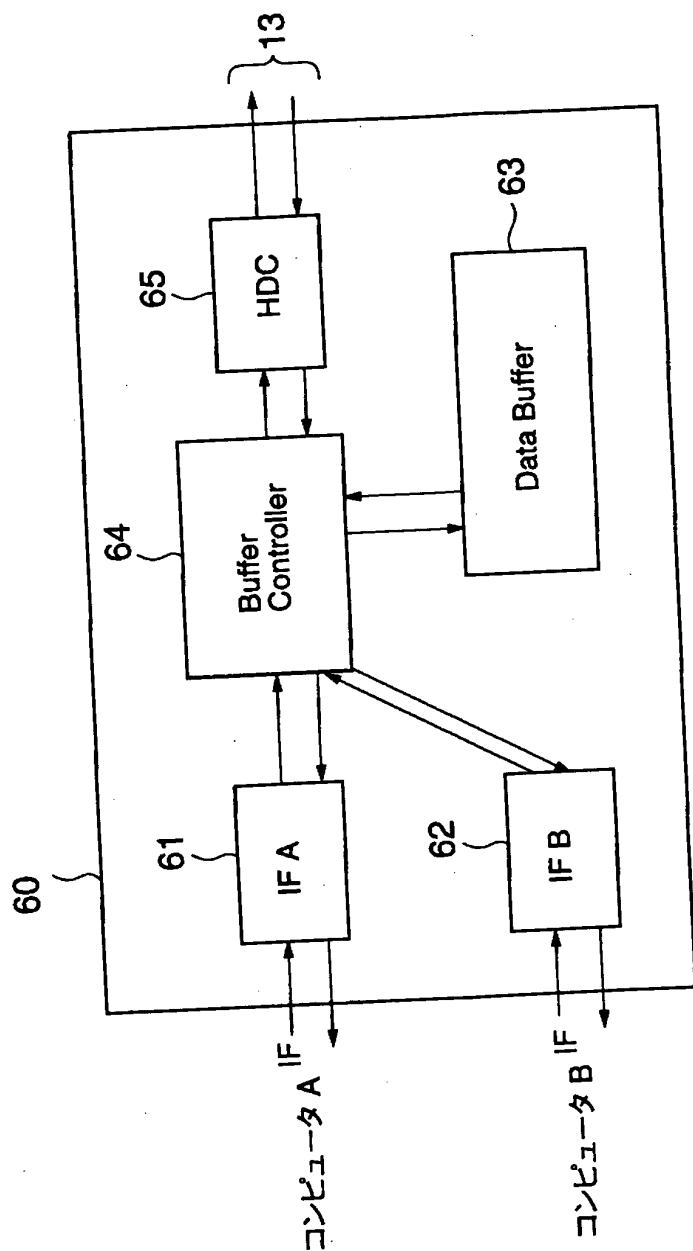
【図 4】

従来のLSIのテスト時の動作を説明するための図



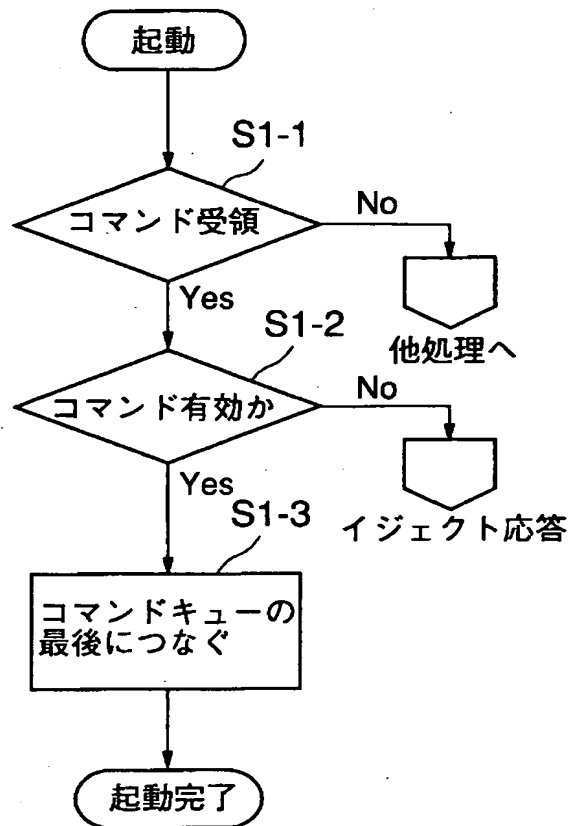
【図 5】

従来のインタフェース装置の一例のブロック構成図



【図 6】

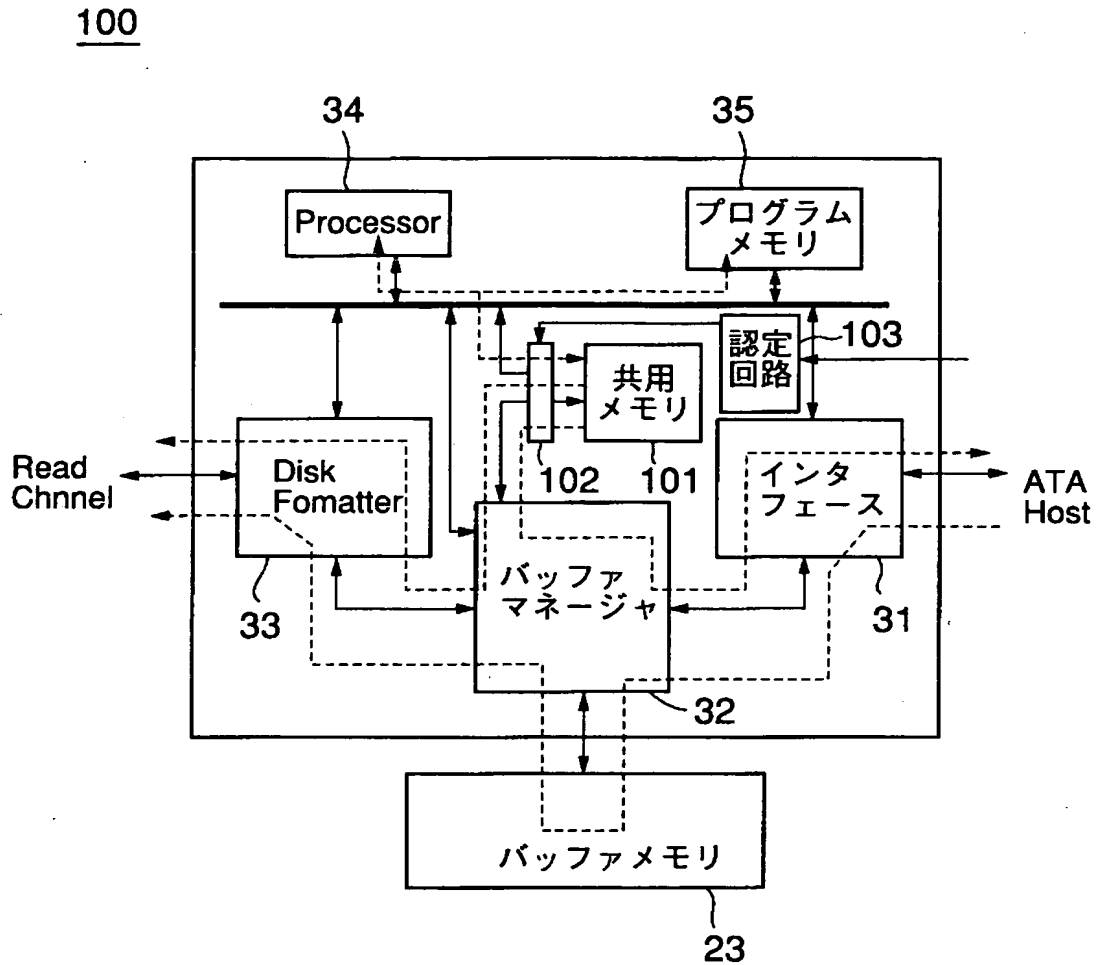
従来のインタフェース装置の一例のブロック構成図



FL 00

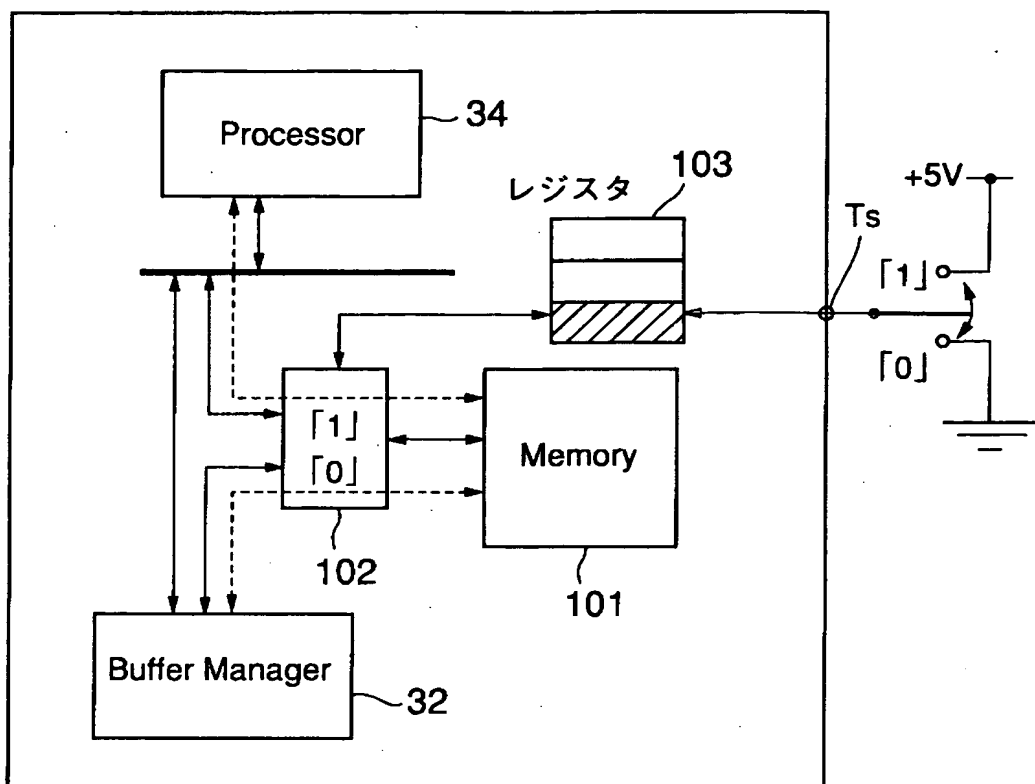
【図 7】

本発明の第1実施例のブロック構成図



【図 8】

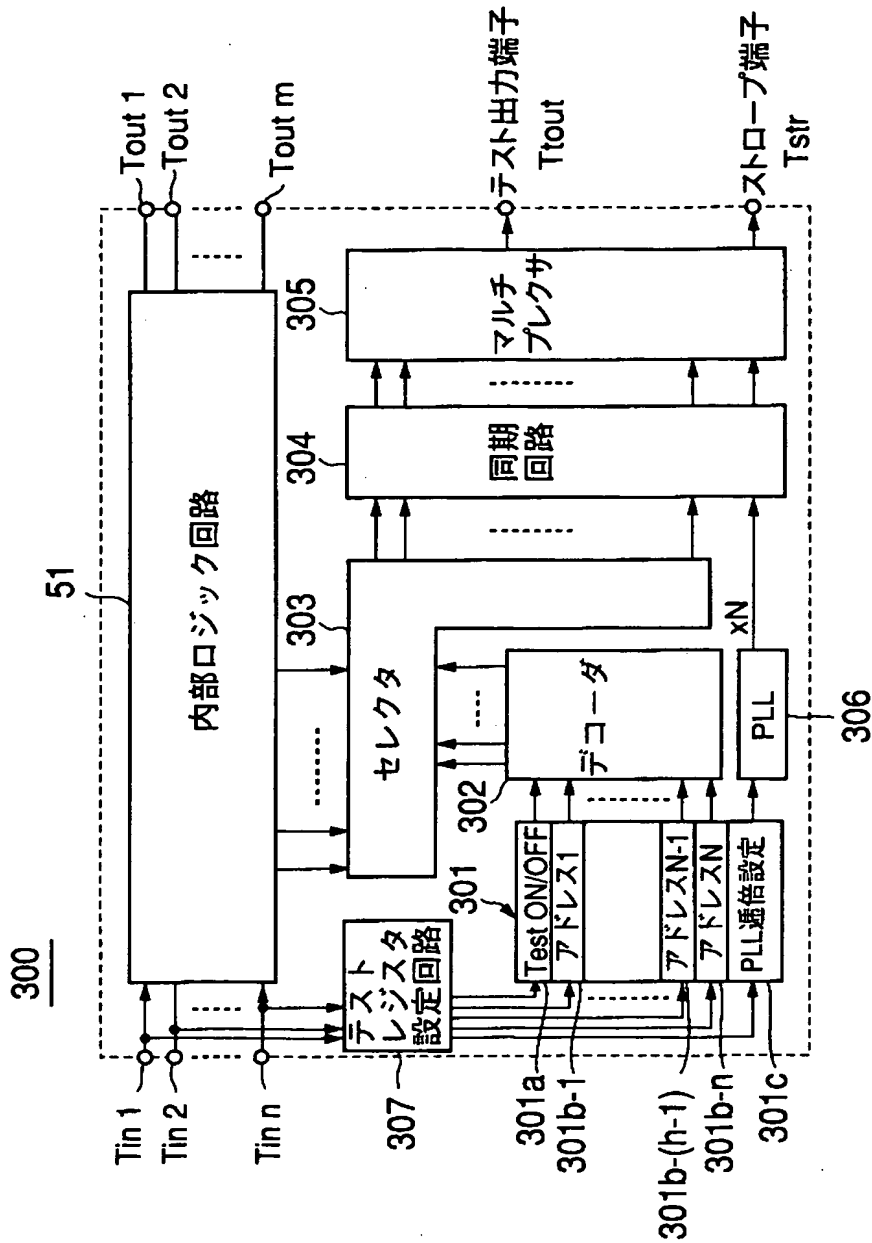
本発明の第1実施例の共用メモリの切り換え動作を説明するための図





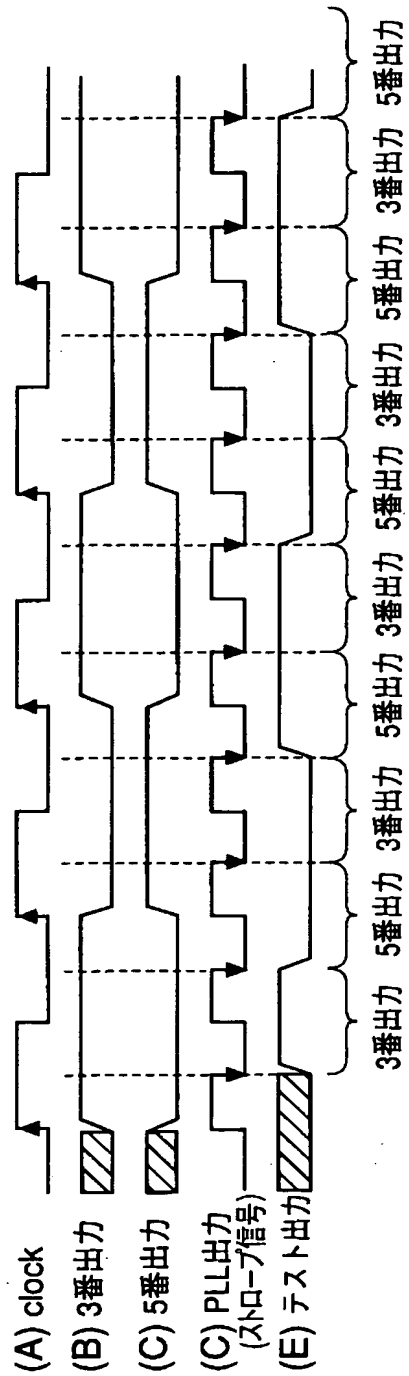
【図 9】

本発明の第2実施例のブロック構成図



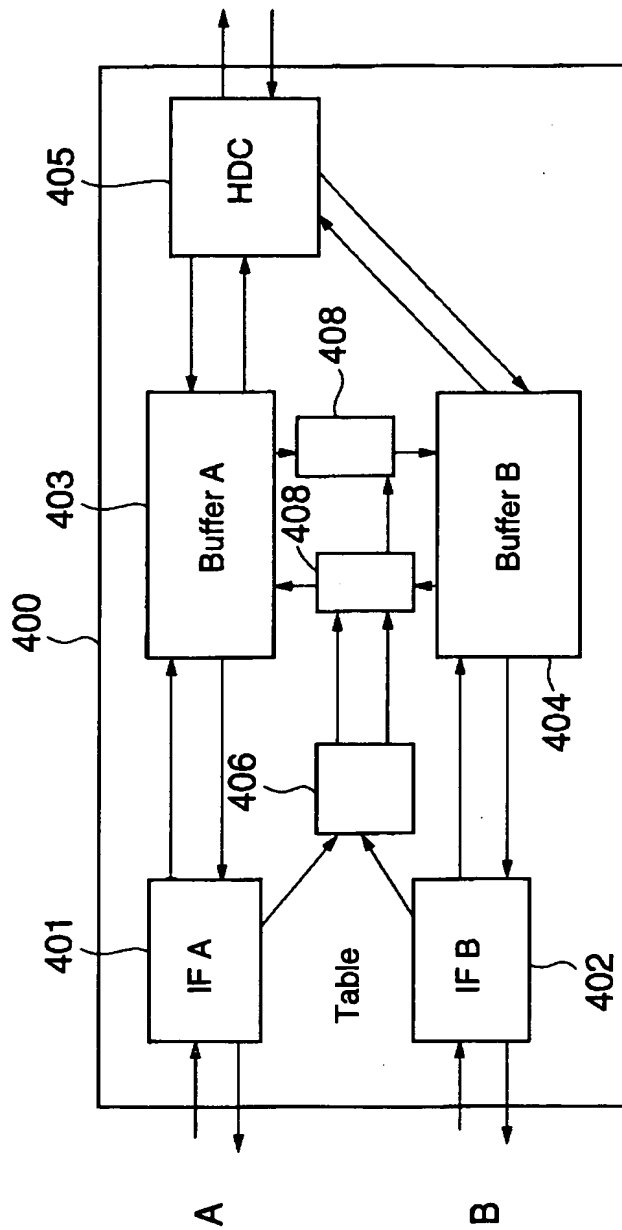
【図 10】

本発明の第2実施例のテスト時の動作を説明するための図



【図 11】

本発明の第3実施例のブロック構成図



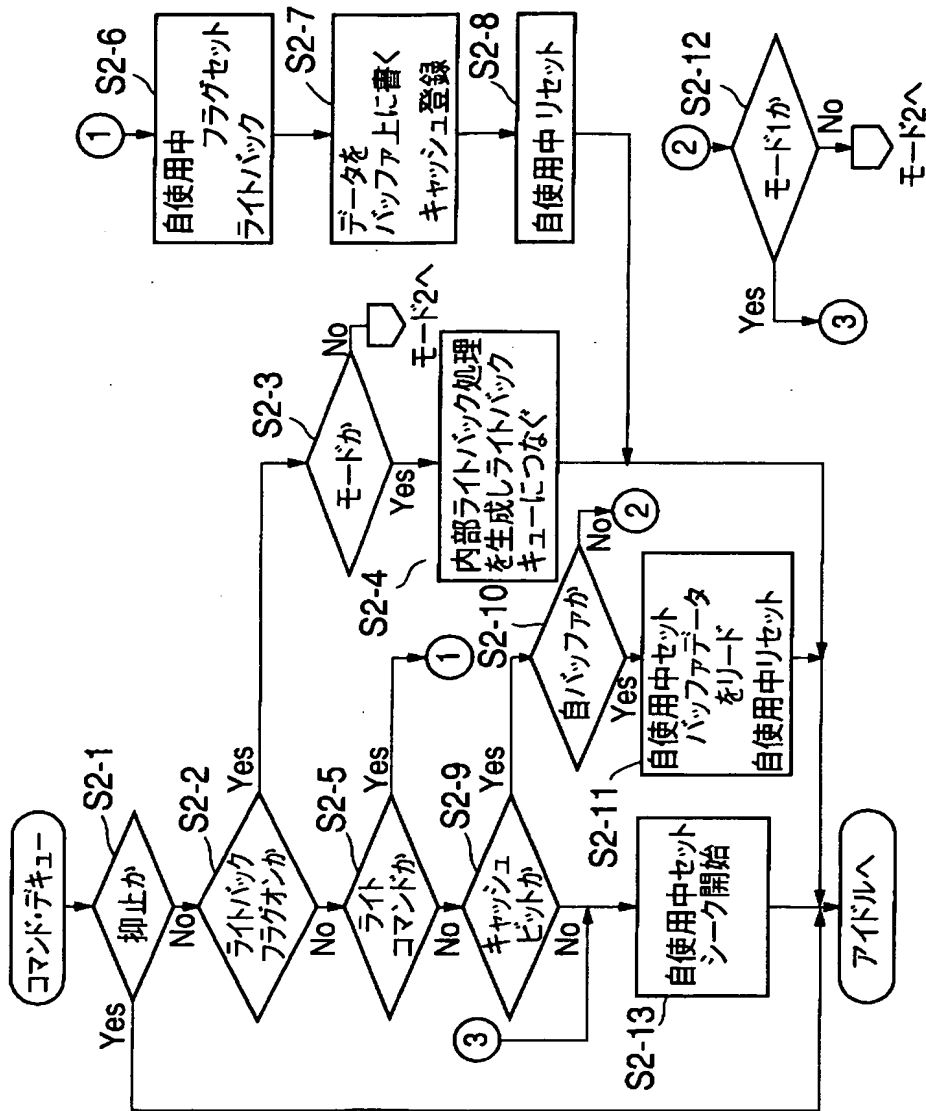
【図 12】

### 本発明の第3実施例のデータ管理テーブルのデータ構成図

[illegible]

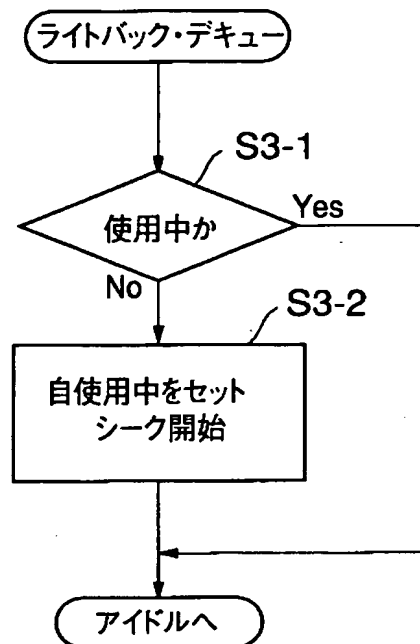
【図 13】

本発明の第3実施例の処理フローチャート



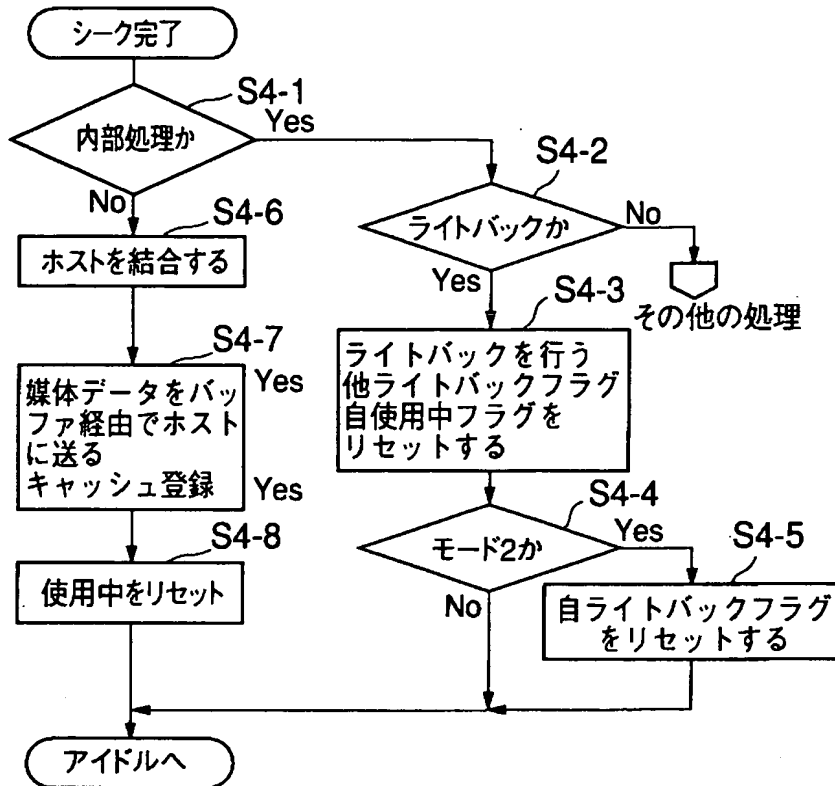
【図 1 4】

ライトバックデキュー処理の処理フローチャート



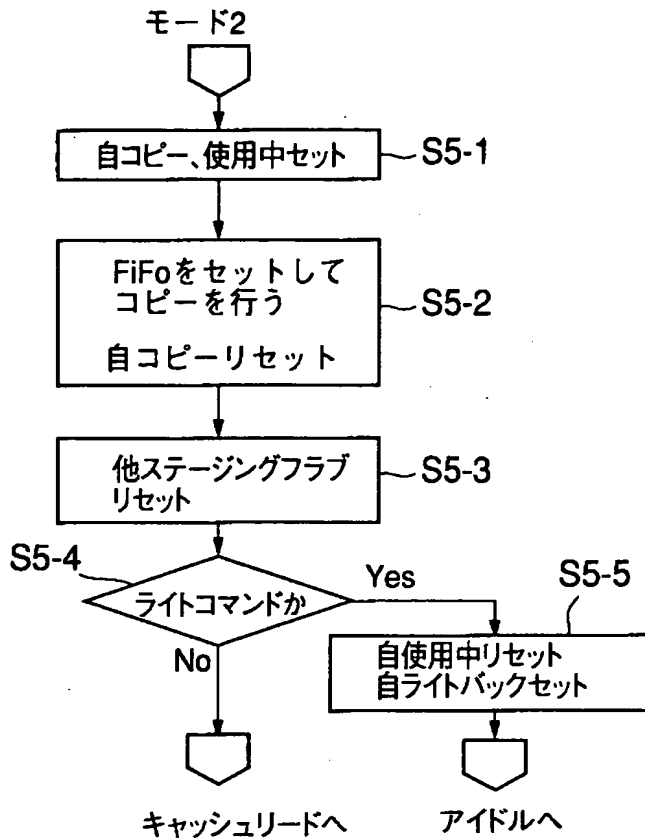
【図 15】

シーク完了処理の処理フローチャート



【図 16】

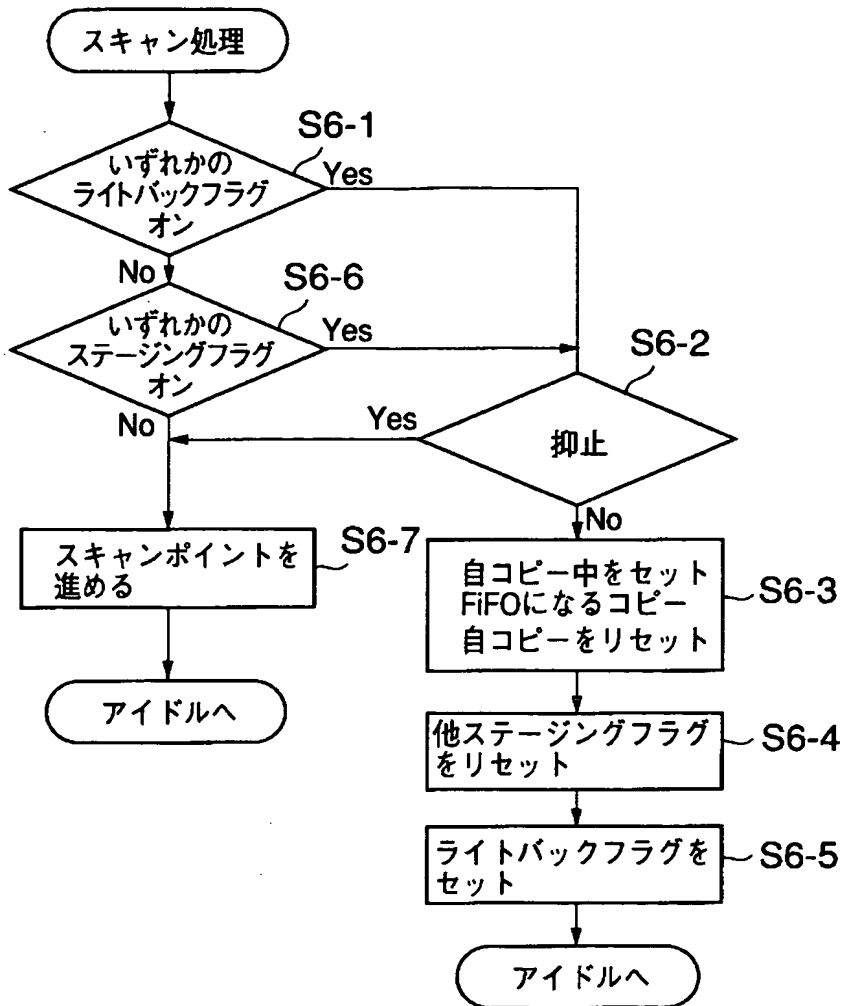
モード2の処理フローチャート





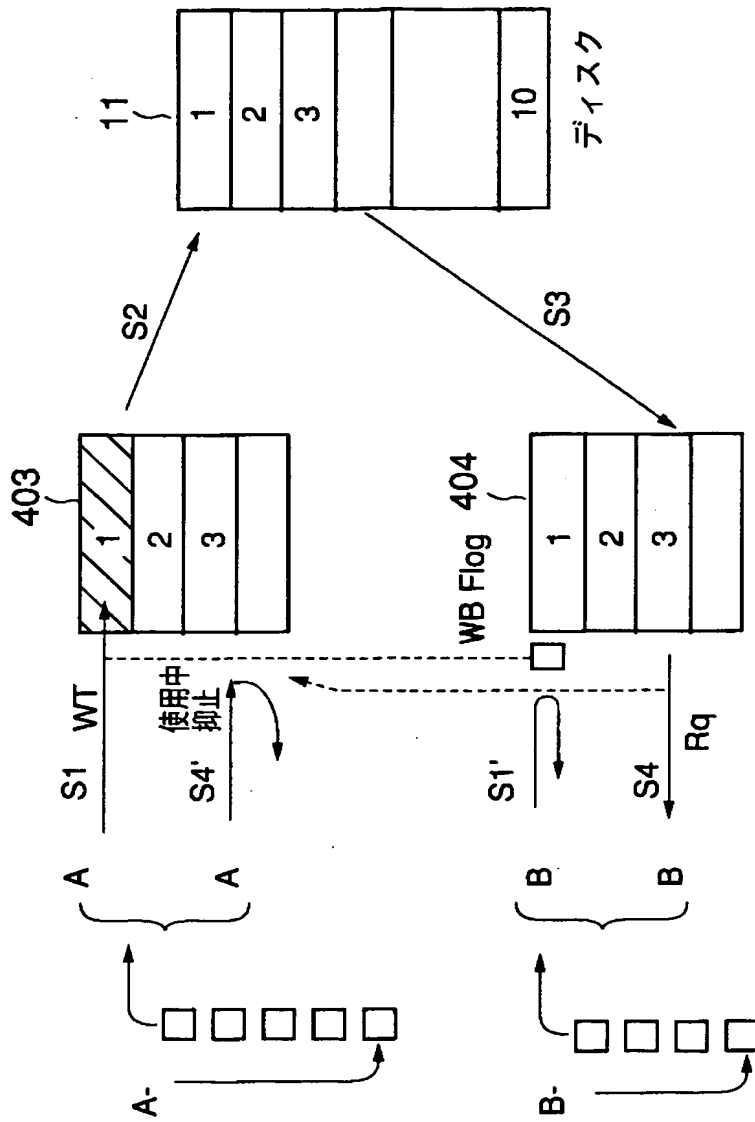
【図 17】

スキャン処理の処理フローチャート



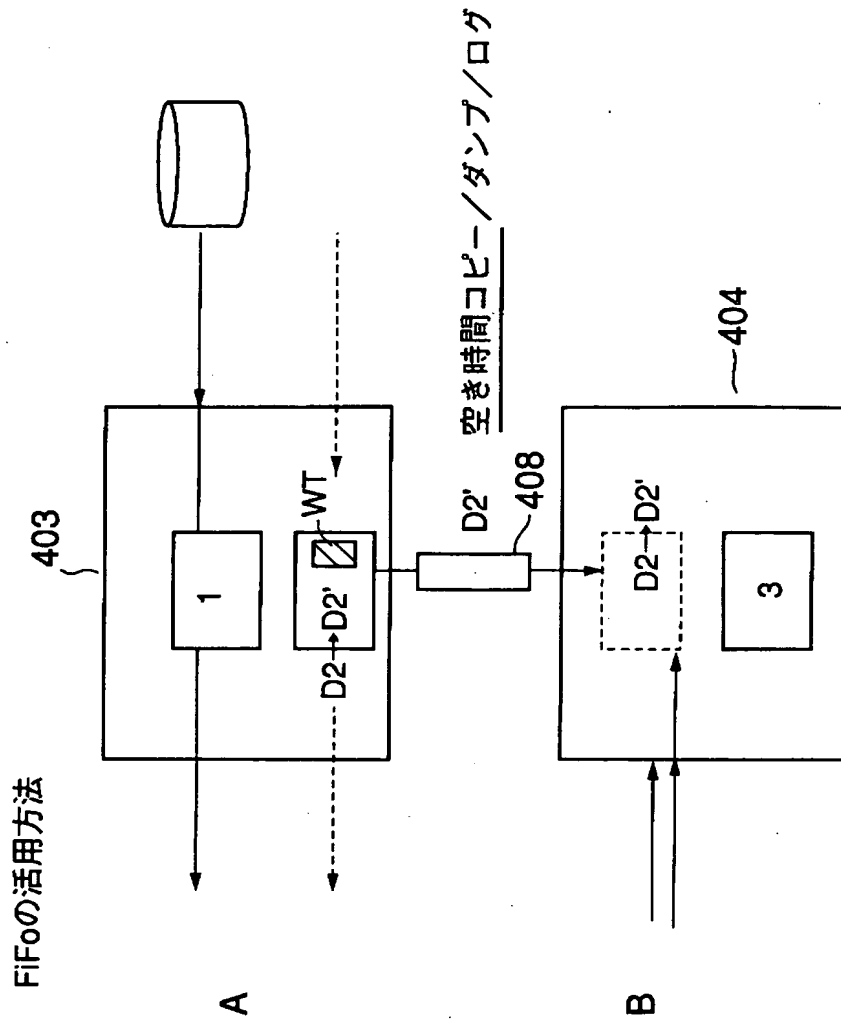
【図 18】

本発明の第3実施例の動作説明図



【図 1 9】

本発明の第3実施例のモード2の動作説明図



【書類名】            要約書

【要約】

【課題】    メモリを介して情報の入出力を行なう情報処理装置及び途中の信号の状態を選択的に出力できる信号処理装置並びに複数のチャンネルで共有データを入出力するインタフェース装置に関し、高機能の処理を行なう回路と低機能の処理を行なう回路とで回路を共用できる情報処理装置、端子数を低減できる信号処理回路、データの入出力を効率よく行なえるインタフェース装置を提供することを目的とする。

【解決手段】    プログラムの規模が大きいときには、複数の記憶部をプログラムを実行するための領域として用い、プログラムの規模が小さいときには、複数の記憶部の一部をプログラムを実行するための領域として用い、他をバッファ領域として用いる。また、内部ロジック回路内から選択すべき信号を識別する識別コードに応じて内部ロジック回路から信号を選択し、選択された信号を順次出力する。さらに、チャンネル毎にバッファメモリを設け、複数のチャンネルのバッファメモリでデータの同一性を保証しつつ、データの入出力を行なう。

【選択図】            図 7

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社